

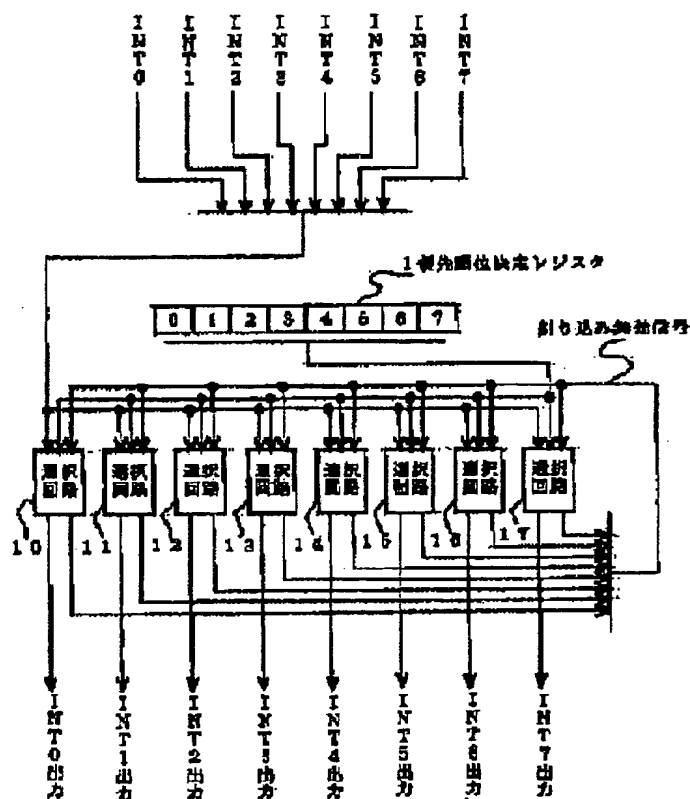

☐ Include

## MicroPatent® PatSearch FullText: Record 1 of 1

Search scope: JP (bibliographic data only)

Years: 1991-2004

Patent/Publication No.: (JP2000231496)


[Order This Patent](#)
[Family Lookup](#)
[Find Similar](#)
[Legal Status](#)
[Go to first matching text](#)

JP2000231496 A  
**ROUND-ROBIN CIRCUIT**  
 NEC ENG LTD

Inventor(s): SOMEYA TOSHIAKI

Application No. 11135465 JP11135465 JP, Filed 19990517, A1 Published 20000822 Published 20000822

**Abstract:** PROBLEM TO BE SOLVED: To eliminate the partiality of a selected interruption request signal by adding a function of setting the priority of the selected interruption request signal lowest for a certain time.

**SOLUTION:** Selecting circuits 10 to 17 are provided for interruption request signals INT0 to INT7. The selecting circuit 10 decides the passage of INT0 and the selecting circuits 11 to 17 decide the passage of INT1 to INT7. A priority decision register 1 is an 8-bit shift register, and outputs '1' only for one bit and always performs shift operation at intervals of one clock. In this case, the outputs of the selecting circuits 10 to 17 are returned to the selecting circuits 10 to 17 as interruption ineffective signals. Then, when priority levels are rearranged so that one of simultaneously inputted

request signals is selected according to previously set priority or equally, the selected request signal is set to the lowest priority only for a certain time.

**Int'l Class:** G06F00946;

**Priority:** JP 10348123 19981208

**Patents Citing this One:** No US, EP, or WO patents/search reports have cited this patent. **MicroPatent Reference**

**Number:** 000587180

**COPYRIGHT:** (C) 2000JPO



Home



Search



List

---

For further information, please contact:  
[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-231496  
(P2000-231496A)

(43) 公開日 平成12年8月22日 (2000.8.22)

(51) Int.Cl.<sup>7</sup>

G 0 6 F 9/46

識別記号

3 2 2

F I

G 0 6 F 9/46

テ-ィ-ト\* (参考)

3 2 2 A 5 B 0 9 8

審査請求 未請求 請求項の数 7 O L (全 17 頁)

(21) 出願番号 特願平11-135465

(22) 出願日 平成11年5月17日 (1999.5.17)

(31) 優先権主張番号 特願平10-348123

(32) 優先日 平成10年12月8日 (1998.12.8)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000232047

日本電気エンジニアリング株式会社

東京都港区芝浦三丁目18番21号

(72) 発明者 染谷 敏昭

東京都港区芝浦三丁目18番21号 日本電気

エンジニアリング株式会社内

(74) 代理人 100111729

弁理士 佐藤 勝春

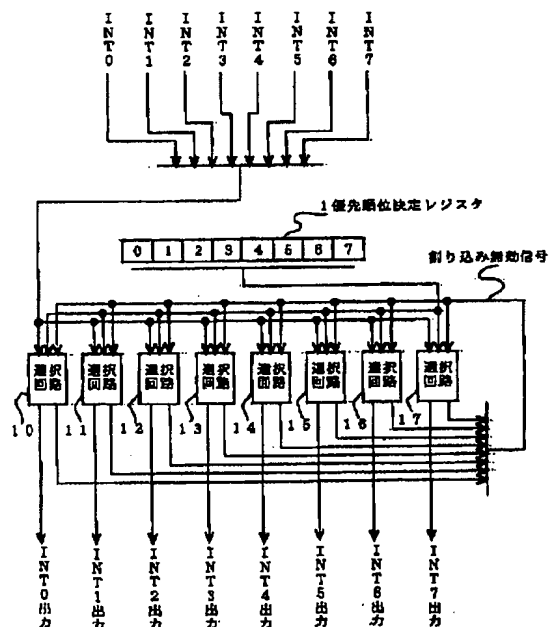
Fターム(参考) 5B098 CC03

(54) 【発明の名称】 ラウンドロビン回路

(57) 【要約】

【課題】 ラウンドロビン回路において、割り込み要求信号が偏って選択されにくくする。

【解決手段】 B 0 に所定の割り込み要求信号が入力し、B 1 ~ B 7 にそれ以外の割り込み要求信号がある場合、所定の割り込み要求信号の通過を抑止し得る自らの割り込み要求信号が通過したことを一時記憶するフラグレジスタ 5 0 がセットされた場合、その '1' 出力は二つの動作を行う。第一に、選択回路が出力する自らの割り込み要求信号を AND ゲート 4 1 により抑止し、第二に、他の選択回路において、C 0 ~ C 0 から入力し、他の割り込み要求信号の通過を抑止させる動作を無効にする。フラグレジスタ 5 0 は、すべての割り込み要求信号が '0' 出力となるか、'1' を出力していても対応する選択回路内部のフラグレジスタ 5 0 の '1' 出力により抑止状態とならない時はリセットされない。



## 【特許請求の範囲】

【請求項1】 同時に入力する複数の要求信号の内の一つを予め設定された優先順位に従って、かつ均等に選択される様に、優先順位の並び換えを行なうラウンドロビン回路において、選択された要求信号は、一定時間だけ最低の優先順位に設定されるようにしたことを特徴とするラウンドロビン回路。

【請求項2】 同時に入力する複数の要求信号の内の一つを予め設定された優先順位に従って、かつ均等に選択される様に、優先順位の並び換えを行なうラウンドロビン回路において、前記要求信号と1対1対応のビットを有し、その内の1ビットのみが前記優先順位を決定するとともに、優先順位を並び替えるために前記1ビットが常に巡回する優先順位決定レジスタと、前記優先順位決定レジスタの各ビットおよび全ての前記要求信号を入力して、前記1ビットで制御されることにより、所定の要求信号の通過の優先順位を決定する前記要求信号と1対1対応の選択回路とを備え、該選択回路には、前記所定の要求信号の通過を許可したことを一時記憶するフラグレジスタを設けて、該フラグレジスタがセットされている時間だけ当該要求信号の優先順位を最も低く設定することを特徴とするラウンドロビン回路。

【請求項3】 前記選択回路は、他の要求信号により前記所定の要求信号の出力を抑止することを前記優先順位決定レジスタの出力により無効化するとともに、当該選択回路における前記フラグレジスタの出力に基づいて該無効化をキャンセルし、また、他の選択回路における前記所定の要求信号による無効化をキャンセルすることを特徴とする請求項2記載のラウンドロビン回路。

【請求項4】 前記選択回路は、前記フラグレジスタの反転信号と前記優先順位決定レジスタのビット（ビット数N）との論理積演算を行う第1～第（N-1）のアンドゲートと、該アンドゲート1個～（N-1）個の出力と前記他の選択回路におけるフラグレジスタの出力と前記他の要求信号との論理和演算を行う（N-1）個のオアゲートと、当該所定の要求信号と前記各オアゲートの出力との論理積演算を行い、その出力が前記フラグレジスタに入力する第Nのアンドゲートとを有することを特徴とする請求項3記載のラウンドロビン回路。

【請求項5】 前記選択回路は、前記優先順位決定レジスタのビット（ビット数N）と前記他の要求信号との論理和演算を行う（N-1）個のオアゲートと、当該要求信号と前記各オアゲートの出力との論理積演算を行い、その出力が前記フラグレジスタをセットする第1のANDゲートと、該第1のANDゲートの出力と前記フラグレジスタの出力の反転出力との論理積演算を行って当該要求信号を出力する第2のANDゲートとを有し、前記フラグレジスタは、当該要求信号が無いとき、または他の全ての要求信号が無いとき、または他の要求信号があっても対応する前記フラグレジスタにより優先順位が最低に設定されているときにリセットされることを特徴とする請求項4記載のラウンドロビン回路。

【請求項6】 前記要求信号は割り込み要求信号であることを特徴とする請求項1ないし請求項5のいずれかに記載のラウンドロビン回路。

【請求項7】 前記一定時間は、1クロックタイムであることを特徴とする請求項1ないし請求項6のいずれかに記載のラウンドロビン回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、ラウンドロビン回路に関し、特に、同時に入力した複数の要求信号が、予め設定された優先順位に従って選択され、かつ複数の要求信号が均等に選択される様に、優先順位の並び換えを行うラウンドロビン回路に関する。

## 【0002】

【従来の技術】情報処理装置においては、入出力割り込み、プログラム割り込み、SVC割り込み、外部割り込み、マンマシン割り込み等種類の割り込みが非同期に発生し得るが、割り込み処理手段は一式だけ備わるため、これらの割り込みを優先順位に従って処置していることが多い。

【0003】この種の従来技術の一例が、「マイクロコンピュータの割り込み優先順位決定回路」として、特開平2-202634号公報に記載されている。この回路は、各割り込み要求信号に対応する割り込み処理を希望の優先順位で実行できる様に、各割り込み処理の優先順位を任意に設定可能とするように構成されている。

【0004】図12は、同公報記載のマイクロコンピュータの優先順位設定回路の一例を示すブロック図である。

【0005】この回路では、1ビットのフラグレジスタ21、22、23、24、25は、それぞれ割り込み要求信号INT0、INT1、INT2、INT3、INT4、INT5によりプリセットされ、4ビットの優先順位設定レジスタ31、32、33、34、35は、割り込み処理の優先順位設定データがデータバスからパラレルに設定される。4ビットのスイッチ回路41、42、43、44、45は、対応するフラグレジスタ21、22、23、24、25が「1」を出力する時オンされる。4ビットの優先順位決定レジスタ51は、優先順位設定レジスタ31、32、33、34、35の同じ段の各ビット出力をワイヤードORし、その出力によってプリセットされる。つまり、優先順位決定レジスタ51には、後述のように、その時点で最優先すべき割り込み処理のための優先順位設定データが設定されるのである。

【0006】一致比較回路61, 62, 63, 64, 65は、入力的一方に、対応するスイッチ回路41, 42, 43, 44, 45を接続し、入力の他方に優先順位決定レジスタ51を接続し、スイッチ回路41, 42, 43, 44, 45の内、オンとなったスイッチ回路に接続される優先順位決定レジスタのデータと優先順位決定レジスタ51のデータを一致比較し、一致した優先順位決定レジスタに対応するフラグレジスタからの割り込み信号の通過を許可する。なお、通過を許可された割り込み信号対応のフラグレジスタは「0」となり、対応するスイッチ回路もオフとなる。

【0007】次に、割り込み要求信号が同時に発生した時の本回路の動作を説明する。まず、5つの優先順位決定レジスタ31, 32, 33, 34, 35のそれぞれに優先順位決定データをプリセットしておく。ここで、優先順位1番目から5番までの優先順位決定データは、「1111」、「0111」、「0011」、「0001」、「0000」と定めておく。5つの割り込み要求信号が同時に発生すると、すべての優先順位決定レジスタ31, 32, 33, 34, 35の各ビットに接続されたスイッチ回路41, 42, 43, 44, 45がすべてオンし、各優先順位決定レジスタの各対応ビットから出力されるデータの論理和が、優先順位決定レジスタ51の対応ビットにプリセットされる。すなわち、最優先すべき割り込み処理のための優先順位決定データ、すなわち「1111」が優先順位決定レジスタ51にプリセットされる。

【0008】これより、優先順位決定レジスタ51にプリセットされた各ビット出力と、各優先順位決定レジスタ31, 32, 33, 34, 35の対応ビット出力とが、各一致比較回路61, 62, 63, 64, 65によって比較され、最優先すべき割り込み要求信号、図7の例ではINT3が所定の一致比較回路64を介して通過を許可される。すると、フラグレジスタ24は「0」となるので、この後は、次順位の優先順位決定データ「0111」が優先順位決定レジスタ51に設定される。

【0009】以上により、複数の割り込み要求信号が同時に発生した処理において、各割り込み要求信号に対応する割り込み処理を所定の優先順位に設定できる。

【0010】しかしながら、上述の回路においては、いったん処理された高優先順位の割り込み処理要求が再度発生すると、他の割り込み処理要求に優先して処理されるため、低優先順位の割り込み要求に対する処理が遅れ、極端な場合、いつまでたっても処理されないという不具合が発生することになる。

【0011】そこで、同時に発生した複数の割り込み要求信号が、優先順位にしたがって、均等に選択される様に制御するには、優先順位決定レジスタ31, 32, 33, 34, 35のデータを常に更新する必要があるが、その制御が複雑であり、データを更新する遅延時間も増

大するという問題がある。また、割り込み要求信号の数が多ほど優先順位決定レジスタ31～35のハードウェア量も増大する。

【0012】図13は、このような問題を解消するため、複数の割り込み要求信号の優先順位を並べ替える制御を単純にし、かつ、優先順位の並べ替えと、割り込み要求信号の選択を高速に実現するために、ラウンドロビン回路を使用した従来の優先順位決定回路のブロック図である。

【0013】図13において、選択回路10-2は割り込み要求信号INT0の通過を判定し、同様に、選択回路11-2～17-2は割り込み要求信号INT1～INT7の通過を判定する。優先順位決定レジスタ1は、シフトレジスタで8ビットの内の1ビットのみが「1」を出力し、等時間間隔で常にシフト動作する。

【0014】図14は、同一構成の選択回路10-2～17-2の内部を示すブロック図である。選択回路10-2～17-2は、優先順位決定レジスタ1の各ビットに接続される入力端子A0～A7と、割り込み要求信号INT0～INT7と接続される入力端子B0～B7とを備え、図3に示す通りに選択回路毎に固有の接続が行われる。以下、入力端子A0などは、単にA0と記すことがある。各選択回路のB0には、その選択回路の通過を判定される割り込み要求信号が入力される。例えば、選択回路10-2のB0には割り込み要求信号INT0が入力される。

【0015】また、同時に複数の割り込み要求信号が発生した場合、B1～B7の何れかに「1」が入力され、その反転信号がANDゲート40に入力することにより、A0～A7からの信号を無視して考えると、B0に入力した割り込み要求信号の通過を抑止する。しかし、優先順位決定レジスタ1からの出力は、A0～A7の何れか一つに入力し、B1～B7に入力する、上述の抑止を行う割り込み要求信号をORゲート3a～3gにより無効にする。

【0016】例えば、選択回路10-2の場合、優先順位決定レジスタ1がビット(0)を「1」レベルに保持しているとき、すなわち、割り込み要求信号INT0に一番高い優先順位が与えられているときは、図3から入力端子A7が「1」を出力していて、入力端子A0～A6は、いずれも「0」を出力している。そのため、ORゲート3a～3gのすべてが「1」を出力し、入力端子B1～B7に割り込み要求信号INT7～INT1が入力しても、入力端子B0から割り込み要求信号INT0が入力すると、ANDゲート40における論理積結果は「1」となる。したがって、優先順位決定レジスタ1の内容どおり、割り込み要求信号INT0が他の割り込み要求信号INT7～INT1に優先して選択回路10-2から出力され、優先順位レベル1となる。

【0017】また、優先順位決定レジスタ1がビット

(1)を'1'レベルに保持しているとき、すなわち、割り込み要求信号INT1に一番高い優先順位が与えられているときは、図3から入力端子A0が'1'を出力していて、入力端子A1～A7は、いずれも'1'を出力している。そのため、割り込み要求信号INT0と競合して、入力端子B1～B7のいずれかに割り込み要求信号INT7～INT1が'1'入力した場合、ORゲート3b～3gのいずれかが'0'を出力し、入力端子B0から入力する割り込み要求信号INT0の、'1'出力は、ANDゲート40における論理積結果により'0'となる。ORゲート3aの一方の入力は入力端子A7からの優先順位レジスタ1のビット0、すなわち、この場合は'0'が供給されている。したがって、図4の優先順位決定レジスタ1の内容どおり、選択回路10-2では、割り込み要求信号INT7～INT1のいずれもが'1'を入力しない場合のみ、INT0が出力され、優先順位レベル8ということになる。

【0018】同様に、優先順位決定レジスタ1がビット(2)を'1'レベルに保持しているとき、選択回路10-2では、割り込み要求信号INT0と競合する割り込み要求信号INT7～INT2が'1'を入力しない場合のみ、INT0が'1'出力され、優先順位決定レジスタ1がビット(3)を'1'レベルに保持しているとき、選択回路10-2では、割り込み要求信号INT0と競合する割り込み要求信号INT7～INT3が'1'を入力しない場合のみ、INT0が'1'出力され、優先順位決定レジスタ1がビット(4)を'1'レベルに保持しているとき、選択回路10-2では、割り込み要求信号INT0と競合する割り込み要求信号INT7～INT4が'1'を入力しない場合のみ、INT0が'1'出力され、優先順位決定レジスタ1がビット(5)を'1'レベルに保持しているとき、選択回路10-2では、割り込み要求信号INT0と競合する割り込み要求信号INT7～INT5が'1'を入力しない場合のみ、INT0が'1'出力され、優先順位決定レジスタ1がビット(6)を'1'レベルに保持しているとき、選択回路10-2では、割り込み要求信号INT0と競合する割り込み要求信号INT7～INT6が'1'を入力しない場合のみ、INT0が'1'出力され、優先順位決定レジスタ1がビット(7)を'1'レベルに保持しているとき、選択回路10-2では、割り込み要求信号INT0と競合する割り込み要求信号INT7が'1'を入力しない場合のみ、INT0が'1'出力される。

【0019】さらに、割り込み要求信号INT1～INT7についても、上述の手順を踏襲すれば、割り込み要求信号が競合するときには、優先順位決定レジスタ1が'1'レベルを保持するビット位置で定まる優先順位よりも優先順位の高い割り込み要求信号が'1'入力しない場合のみ、当該割り込み要求信号が'1'出力される

ことを容易に確かめることができる。

【0020】上述のように、優先順位決定レジスタ1が出力するビットにより、選択回路10-2～17-2は、割り込み要求信号の通過を抑止する信号の数が各々決まるため、割り込み要求信号INT0～INT7の優先順位は図4(ただし、最下段の優先順位レベル9を除く)の通りとなる。

【0021】

【発明が解決しようとする課題】しかしながら、上述したラウンドロビン回路を使用した従来の優先順位設定回路であっても、図4に示したように、割り込み要求信号の優先順位レベルは、最高位(レベル1)から最低位(レベル8)への変更は行われるが、それ以外の優先順位レベル間では、割り込み要求信号の優先順位の上下関係は不変である。そのため、優先順位レベル2～7の間で、特定の割り込み要求信号が連続して入力した場合、それより低位の優先順位を持つ割り込み要求信号は、図15に例示するINT7出力のように、最大7クロック間、選択されないという問題点がある。これは、選択する割り込み要求信号の信号数が多いほど顕著となる。

【0022】本発明のラウンドロビン回路は、上記のような課題を解決したもので、選択された割り込み要求信号の優先順位を一定時間最も低く設定する機能を追加することにより、選択される割り込み要求信号の偏りを無くすことを目的とする。

【0023】

【課題を解決するための手段】第1の本発明のラウンドロビン回路は、同時に入力する複数の要求信号の内の一つを予め設定された優先順位に従って、かつ均等に選択される様に、優先順位の並び換えを行なうラウンドロビン回路において、選択された要求信号は、一定時間だけ最低の優先順位に設定されるようにしたことを特徴とする。

【0024】また、第2の本発明のラウンドロビン回路は、同時に入力する複数の要求信号の内の一つを予め設定された優先順位に従って、かつ均等に選択される様に、優先順位の並び換えを行なうラウンドロビン回路において、前記要求信号と1対1対応のビットを有し、その内の1ビットのみが前記優先順位を決定するとともに、優先順位を並び替えるために前記1ビットが常に巡回する優先順位決定レジスタと、前記優先順位決定レジスタの各ビットおよび全ての前記要求信号を入力して、前記1ビットで制御されることにより、所定の要求信号の通過の優先順位を決定する前記要求信号と1対1対応の選択回路とを備え、該選択回路には、前記所定の要求信号の通過を許可したことを一時記憶するフラグレジスタを設けて、該フラグレジスタがセットされている時間だけ当該要求信号の優先順位を最も低く設定することを特徴とする。

【0025】さらに、本発明のラウンドロビン回路の好

ましい実施の形態は、前記選択回路は、他の要求信号により前記所定の要求信号の出力を抑止することを前記優先順位決定レジスタの出力により無効化するとともに、当該選択回路における前記フラグレジスタの出力に基づいて該無効化をキャンセルし、また、他の選択回路における前記所定の要求信号による無効化をキャンセルすることを特徴とする。

【0026】さらに、本発明のラウンドロビン回路の好ましい実施の形態は、前記選択回路は、前記フラグレジスタの反転信号と前記優先順位決定レジスタのビット（ビット数N）との論理積演算を行う第1～第（N-1）のANDゲートと、該ANDゲート1個～（N-1）個の出力と前記他の選択回路におけるフラグレジスタの出力と前記他の要求信号との論理和演算を行う（N-1）個のORゲートと、当該所定の要求信号と前記各ORゲートの出力との論理積演算を行い、その出力が前記フラグレジスタに入力する第NのANDゲートとを有することを特徴とする。

【0027】さらに、本発明のラウンドロビン回路の好ましい実施の形態は、前記選択回路は、前記優先順位決定レジスタのビット（ビット数N）と前記他の要求信号との論理和演算を行う（N-1）個のORゲートと、当該要求信号と前記各ORゲートの出力との論理積演算を行い、その出力が前記フラグレジスタをセットする第1のANDゲートと、該第1のANDゲートの出力と前記フラグレジスタの出力の反転出力との論理積演算を行って当該要求信号を出力する第2のANDゲートとを有し、前記フラグレジスタは、当該要求信号が無いとき、または他の全ての要求信号が無いとき、または他の要求信号があっても対応する前記フラグレジスタにより優先順位が最低に設定されているときにリセットされることを特徴とする。

【0028】さらに、本発明のラウンドロビン回路の好ましい実施の形態は、前記選択回路は、前記優先順位決定レジスタのビット（ビット数N）と前記他の要求信号との論理和演算を行う（N-1）個のORゲートと、当該要求信号と前記各ORゲートの出力との論理積演算を行い、その出力が前記フラグレジスタをセットする第1のANDゲートと、該第1のANDゲートの出力と前記フラグレジスタの出力の反転出力との論理積演算を行って当該要求信号を出力する第2のANDゲートとを有し、前記フラグレジスタは、当該要求信号が無いとき、または他の全ての要求信号が無いとき、または他の要求信号があっても対応する前記フラグレジスタにより優先順位が最低に設定されているときにリセットされることを特徴とする。

【0029】本発明のラウンドロビン回路は、より具体的には、入力した要求信号毎に設けられ所定の要求信号が通過するのを判定する選択回路（図1の10～17）において、所定の要求信号が通過したことを一時記憶す

るフラグレジスタ（図2の5）と、フラグレジスタ5がセットされた場合、その出力信号により、自らの選択回路が所定の要求信号以外の他の要求信号の何れにおいても、所定の要求信号の通過を抑止する手段（図2の7a～7g）と、他の全ての選択回路に対して、自らの要求信号が、他の要求信号の通過を抑止しない様にする手段（図2の入力端子C0～C7）を有する。

【0030】また、本発明のラウンドロビン回路は、より具体的には、入力した割り込み要求信号毎に設けられ、所定の割り込み要求信号が通過するのを判定する選択回路（図6の10-1～17-1）において、自らの割り込み要求信号が通過したことを一時記憶するフラグレジスタ（図7の50）と、フラグレジスタ50がセットされた場合、第1にその出力信号により選択回路が出力する自らの割り込み要求信号を抑止し（図7の41）、第2に他の全ての選択回路において、自らの割り込み要求信号が、自ら以外の割り込み要求信号の通過を抑止する動作を無効にする手段（図4の入力端子C0～C7）により自らの割り込み要求信号の優先順位を最も低く設定し、また、フラグレジスタ50をリセットする第1の手段として、自らの割り込み要求信号（図7の入力端子B0）が‘0’を出力する時、リセット信号‘1’を出力する手段（図7の61、80）と、前記フラグレジスタ50をリセットする第2の手段として、リセット回路（図6の2）において、すべての割り込み要求信号（図8のINT0～INT7）と、すべての選択回路からの前記フラグレジスタ50の信号（図8の割り込み無効信号）を入力し、すべての割り込み要求信号が何れも‘0’入力である時、かつ、‘1’を入力していても割り込み信号に対応するフラグレジスタの信号に‘1’を入力し割り込みが無効となっている時、リセット信号‘1’を出力する手段（図8の90a～90hおよび91）を有する。

【0031】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0032】図1は、本発明のラウンドロビン回路を使用した優先順位設定回路の一実施の形態を示すブロック図であり、本実施の形態では、8種類の割り込み要求信号INT0～INT7を処理する。

【0033】図1において、選択回路10～17は、割り込み要求信号INT0～INT7に対応して設けられている。選択回路10は、INT0の通過を判定し、同じく選択回路11～17は、INT1～INT7の通過を判定する。優先順位決定レジスタ1は、8ビットのシフトレジスタで、1ビットのみが‘1’を出力し、1クロック間隔で常にシフト動作を行う。

【0034】以上は、図13に示した従来例と異なることがないが、本実施の形態においては、各選択回路10～17からの出力を割り込み無効信号として、各選択回

路10～17に帰している点が異なっている。

【0035】図2は、選択回路10～17の内部を示すブロック図である。選択回路10～17は、以下に記述する様に、すべて同じロジック構成となっている。すなわち、8個の入力端子A0～A7は、優先順位決定レジスタ1の各ビットと接続され、8個の入力端子B0～B7は、割り込み要求信号INT0～INT7を入力する。各選択回路の入力端子B0は、通過を判定する割り込み要求信号が入力される。8個の入力端子C0～C7には、各選択回路内部の各々のフラグレジスタ5から出力される割り込み無効信号が入力される。また、インバータゲート2a～2gは、入力端子B1～B7からの信号を反転し、ORゲート3a～3gへ出力する。

【0036】ORゲート3aは、インバータゲート2aと、ANDゲート7gと、入力端子C1からの信号を入力し、ORゲート3bは、インバータゲート2bと、ANDゲート7f、7gと、入力端子C2からの信号を入力し、ORゲート3cは、インバータゲート2cと、ANDゲート7e、7f、7gと、入力端子C3からの信号を入力し、ORゲート3dは、インバータゲート2dと、ANDゲート7d、7e、7f、7gと、入力端子C4からの信号を入力し、ORゲート3eは、インバータゲート2eと、ANDゲート7c、7d、7e、7f、7gと、入力端子C5からの信号を入力し、ORゲート3fは、インバータゲート2fと、ANDゲート7b、7c、7d、7e、7f、7gと、入力端子C6からの信号を入力し、ORゲート3gは、インバータゲート2gと、ANDゲート7a、7b、7c、7d、7e、7f、7gと、入力端子C7からの信号を入力する。

【0037】ANDゲート4は、ORゲート3a、3b、3c、3d、3e、3f、3gと、入力端子B0からの信号を入力し、入力端子B0を入力する割り込み要求信号の通過を後述のようにして判定する。

【0038】1ビットのフラグレジスタ5は、ANDゲート40から‘1’出力された割り込み要求信号によりセットされ、1クロック間のみデータを保持する。

【0039】ANDゲート7a、7b、7c、7d、7e、7f、7gは、フラグレジスタ5からの割り込み無効信号のインバータ60による反転信号と入力端子A1～A7からの信号を各々入力し、ORゲート3a～3gに出力する。

【0040】入力端子A0～A7、B0～B7、C0～C7に入力される信号は、選択回路毎に異なり、入力端子A0～A7、B0～B7およびC0～C7は、図3の通りに接続されている。

【0041】例えば、選択回路10の場合、入力端子B0にINT0、入力端子B1にINT7、入力端子B2にINT6、入力端子B3にINT5、入力端子B4にINT4、入力端子B5にINT3、入力端子B6にINT2、入力端子B7にINT1それぞれが接続され

る。

【0042】これにより、ANDゲート7a～7gおよび入力端子C1～C7からの信号を無視して考えると、割り込み要求信号INT1～INT7の何れかが‘1’出力である時、ORゲート3a～3gの何れかが‘0’を出力し、ANDゲート40に入力することにより、入力端子B0に入力するINT0は、選択回路10を通過することを抑止される。

【0043】また、入力端子A0～A7の信号は、選択回路10の場合、入力端子A0に優先順位決定レジスタ1のビット(1)、入力端子A1に優先順位決定レジスタ1のビット(2)、入力端子A2に優先順位決定レジスタ1のビット(3)、入力端子A3に優先順位決定レジスタ1のビット(4)、入力端子A4に優先順位決定レジスタ1のビット(5)、入力端子A5に優先順位決定レジスタ1のビット(6)、入力端子A6に優先順位決定レジスタ1のビット(7)、入力端子A7に優先順位決定レジスタ1の(0)ビットがそれぞれ接続される。

【0044】これにより、選択回路10内部のフラグレジスタ5の出力が‘0’であるなら、選択回路10の優先順位が図4の様に決まる。すなわち、図4において優先順位決定レジスタ1のビット(0)、(1)、(2)、(3)、(4)、(5)、(6)、(7)が‘1’の場合に、INT0の優先順位レベルはそれぞれ1、8、7、6、5、4、3、2となるのである。これは、以下のような理由による。

【0045】優先順位決定レジスタ1の(0)ビットの‘1’出力が入力端子A7に入力する時、入力端子A7の信号を入力するORゲート3a、3b、3c、3d、3e、3f、3gのすべてが‘1’を出力する。この結果により、これらのORゲートに入力するインバータ2a～2gによる反転信号により、INT0が選択回路10を通過するのを抑止するためのINT7、INT6、INT5、INT4、INT3、INT2、INT1を無効化し、INT0が、図4に示すように、優先順位レベル1となるのである。

【0046】同様に、優先順位決定レジスタ1のビット(1)の‘1’出力が入力端子A0に入力する時、INT0、は選択回路10を通過することを、INT1、INT2、INT3、INT4、INT5、INT6、INT7の何れによっても抑止され、優先順位レベル8となる。

【0047】また、優先順位レジスタ1のビット(2)の‘1’出力が入力端子A1に入力する時、ORゲート3gが‘1’を出力することにより、INT0が選択回路10を通過するのを抑止するための、INT1を無効化し、優先順位レベル7となる。

【0048】また、優先順位レジスタ1のビット(3)の‘1’出力が入力端子A2に入力する時、ORゲート



3f, 3gが'1'を出力することにより、INT0が選択回路10を通過することを抑止するための、INT1, INT2を無効化し、優先順位レベル6となる。

【0049】また、優先順位レジスタ1のビット(4)の'1'出力が入力端子A3に入力する時、ORゲート3e, 3f, 3gが'1'を出力することにより、INT0が選択回路10を通過することを抑止するための、INT1, INT2, INT3を無効化し、優先順位レベル5となる。

【0050】また、優先順位レジスタ2のビット(5)の'1'出力が入力端子A4に入力する時、ORゲート3d, 3e, 3f, 3gが'1'を出力することにより、INT0が選択回路10を通過することを抑止する、INT1, INT2, INT3, INT4を無効化し、優先順位レベル4となる。

【0051】また、優先順位レジスタ2のビット(6)の'1'出力が入力端子A5に入力する時、ORゲート3c, 3d, 3e, 3f, 3gが'1'を出力することにより、INT0が選択回路10を通過することを抑止するためのINT1, INT2, INT3, INT4, INT5を無効化し、優先順位レベル3となる。

【0052】また、優先順位レジスタ2のビット(7)の'1'出力が入力端子A6に入力する時、ORゲート3b, 3c, 3d, 3e, 3f, 3gが'1'を出力することにより、INT0が選択回路10を通過することを抑止するための、INT1, INT2, INT3, INT4, INT5, INT6を無効化し、優先順位レベル2となる。

【0053】INT1~INT7の優先順位レベルを、上述のINT0について行なったように、図2の構成図に図3の入力接続表を適用して論理を辿ることにより、図4に示すようになることが理解できる。

【0054】さて、各選択回路10~17内部のフラグレジスタ5の出力は、自らの割り込み要求信号が選択された時、1クロック間のみ'1'を出力する。その出力は、自らの選択回路内部のANDゲート7a~7gに、インバータゲート6による反転信号の'0'を入力することにより、入力端子B1~B7に入力する割り込み要求信号の何れによっても自らの割り込み要求信号の通過が抑止される様にする。

【0055】また、他の全ての選択回路に対し、各選択回路の入力端子C0~C7の何れかに'1'を入力し、自らの割り込み要求信号が、他の選択回路内部で、他の割り込み要求信号の通過を抑止することを無効にする。

【0056】例えば、選択回路10の場合、自らのフラグレジスタ5の出力は、図3に示すところにより、選択回路10の入力端子C0に'1'を入力する。また、このフラグレジスタ5の出力は、選択回路11の入力端子C1に'1'を入力し、選択回路11の入力端子B1に入力するINT0を無効にし、選択回路12の入力端子

C2に'1'を入力し、選択回路12の入力端子B2に入力するINT0を無効にし、選択回路13の入力端子C3に'1'を入力し、選択回路13の入力端子B3に入力するINT0を無効にし、選択回路14の入力端子C4に'1'を入力し、選択回路14の入力端子B4に入力するINT0を無効にし、選択回路15の入力端子C5に'1'を入力し、選択回路15の入力端子B5に入力するINT0を無効にし、選択回路16の入力端子C6に'1'を入力し、選択回路16の入力端子B6に入力するINT0を無効にし、選択回路17の入力端子C7に'1'を入力し、選択回路17の入力端子B7に入力するINT0を無効にする。

【0057】次に、本実施例の動作について説明する。

【0058】先ず、図1において割り込み無効信号の存在を考慮しない、従来技術と共通する動作について説明し、その後に本発明の特徴部分に言及する。

【0059】INT0~INT7が同時に発生している時、図3によれば、選択回路10~17の各々の入力端子B0~B7にはすべて'1'が入力される。さらに、優先順位決定レジスタ1のビット(0)が'1'を出力しているならば、INT0の通過を判定する選択回路10において、図3によれば、入力端子A7に'1'が入力する。したがって、ORゲート3a, 3b, 3c, 3d, 3e, 3f, 3gは、すべて'1'を出力するため、ANDゲート40により、入力端子B0に入力するINT0の通過が許可される。この結果、第1に、割り込み要求信号の優先順位「INT0 > (INT1, INT2, INT3, INT4, INT5, INT6, INT7)」が決まる。

【0060】第2に、INT1の通過を判定する選択回路11において、優先順位決定レジスタ1のビット

(0)が'1'を出力していることにより、入力端子A6に'1'が入力する。ORゲート3aは、B1が'1'なら(上位のINT0が発生しているなら)'0'を出力するため、ANDゲート40により、入力端子B0に入力するINT1の通過が抑止される。すなわち、INT1は入力端子B1に入力するINT0により抑止されるが、B2~B7に入力するINT2~INT7によっては抑止されることはないため、割り込み要求信号の優先順位「INT0 > INT1 > (INT2, INT3, INT4, INT5, INT6, INT7)」が決まる。

【0061】第3に、INT2の通過を判定する選択回路12において、優先順位決定レジスタ1のビット

(0)が'1'を出力していることにより、入力端子A5に'1'が入力する。ORゲート3a, 3bは、それぞれB1, B2が'1'なら(上位のINT0とINT1のいずれかが発生しているなら)'0'を出力するため、ANDゲート40により、入力端子B0に入力するINT2の通過が抑止される。すなわち、INT2は入

力端子B1, B2に入力するINT1, INT0により抑止されるが、B3~B7に入力するINT3~INT7によっては抑止されることはないため、割り込み要求信号の優先順位「(INT0, INT1) > INT2 > (INT3, INT4, INT5, INT6, INT7)」が決まる。

【0062】第4に、INT3の通過を判定する選択回路13において、優先順位決定レジスタ1のビット

(0)が'1'を出力していることにより、入力端子A4に'1'が入力する。ORゲート3a, 3b, 3cは、それぞれB1, B2, B3が'1'なら(上位のINT0~INT2のいずれかが発生しているなら)

'0'を出力するため、ANDゲート40により、入力端子B0に入力するINT3の通過が抑止される。すなわち、INT3は入力端子B1, B2, B3に入力するINT2, INT1, INT0により抑止されるが、B4~B7に入力するINT4~INT7によっては抑止されることはないため、割り込み要求信号の優先順位「(INT0, INT1, INT2) > INT3 > (INT4, INT5, INT6, INT7)」が決まる。

【0063】第5に、INT4の通過を判定する選択回路14において、優先順位決定レジスタ1のいずれかのビット(0)が'1'を出力していることにより、入力端子A3に'1'が入力する。ORゲート3a, 3b, 3c, 3dは、それぞれB1, B2, B3, B4が'1'なら(上位のINT0~INT3のいずれかが発生しているなら)'0'を出力するため、ANDゲート40により入力端子B0に入力するINT4の通過が抑止される。すなわち、INT4は入力端子B1, B2, B3, B4に入力するINT3, INT2, INT1, INT0により抑止されるが、B5~B7に入力するINT5~INT7によっては抑止されることはないため、割り込み要求信号の優先順位「(INT0, INT1, INT2, INT3) > INT4 > (INT5, INT6, INT7)」が決まる。

【0064】第6に、INT5の通過を判定する選択回路15において、優先順位決定レジスタ1のビット

(0)が'1'を出力していることにより、入力端子A2に'1'が入力する。ORゲート3a, 3b, 3c, 3d, 3eは、それぞれB1, B2, B3, B4, B5が'1'なら(上位のINT0~INT4のいずれかが発生しているなら)'0'を出力するため、ANDゲート40により、入力端子B0に入力するINT5の通過が抑止される。すなわち、INT5入力端子B1, B2, B3, B4, B5に入力するINT4, INT3, INT2, INT1, INT0により抑止されるが、B6, B7に入力するINT6, INT7によっては抑止されることはないため、割り込み要求信号の優先順位「(INT0, INT1, INT2, INT3, INT4) > INT5 > (INT6, INT7)」が決まる。

【0065】第7に、INT6の通過を判定する選択回路16において、優先順位決定レジスタ1のビット

(0)が'1'を出力していることにより、入力端子A1に'1'が入力する。ORゲート3a, 3b, 3c, 3d, 3e, 3fは、それぞれB1, B2, B3, B4, B5, B6が'1'なら(上位のINT0~INT5のいずれかが発生しているなら)'0'を出力するため、ANDゲート40により、入力端子B0に入力するINT6の通過が抑止される。すなわち、INT6は入力端子B1, B2, B3, B4, B5, B6に入力するINT5, INT4, INT3, INT2, INT1, INT0により抑止されるが、B7に入力するINT7によっては抑止されることがないため、割り込み要求信号の優先順位「(INT0, INT1, INT2, INT3, INT4, INT5) > INT6 > INT7」が決まる。

【0066】第8に、INT7の通過を判定する選択回路17において、優先順位決定レジスタ1のビット

(0)が'1'を出力していることにより、入力端子A0に'1'が入力する。ORゲート3a, 3b, 3c, 3d, 3e, 3f, 3gは、それぞれB1, B2, B3, B4, B5, B6, B7が'1'なら(上位のINT0~INT6のいずれかが発生しているなら)'0'を出力するため、ANDゲート40により、入力端子B0に入力するINT7の通過が抑止される。すなわち、INT7は、入力端子B1, B2, B3, B4, B5, B6, B7に入力するINT6, INT5, INT4, INT3, INT2, INT1, INT0のいずれによっても抑止されるため、割り込み要求信号の優先順位「(INT0, INT1, INT2, INT3, INT4, INT5, INT6) > INT7」が決まる。

【0067】以上の検証の結果により、優先順位決定レジスタ1のビット(0)が'1'を出力している場合には、何れの選択回路においても、INT0~INT7は、矛盾なく、「INT0 > INT1 > INT2 > INT3 > INT4 > INT5 > INT6 > INT7」の優先順位で選択されることがわかる。このことは、図5の左端に表示されているとおりである。

【0068】同様にして、優先順位決定レジスタ1のビット(1)~(7)ビットの内の1ビットが'1'を出力している7つの場合それぞれにおける、割り込み要求信号の優先順位が図5に表示するとおりになることを容易に検証できる。

【0069】図15は、優先順位決定レジスタ1の'1'を出力するビットが1クロック毎にシフト動作し、割り込み要求信号のINT0~INT7の優先順位が並び替えられた動作を表すタイミングチャートである。本タイミングチャートの例は、すべての割り込み要求信号が連続で'1'を入力しているため、図4で示す優先順位レベル1の割り込み要求信号が選択され、出力

されているが、そうでない時は、その時入力した割り込み要求信号の中で優先順位の高い方の割り込み要求信号が選択される。例えば、図16は割り込み要求信号INT5、INT6およびINT6が連続して‘1’を入力している場合のタイミングチャートである。

【0070】次に、本発明の特徴部分の動作について説明する。図5において、INT5、INT6、INT7が同時に連続して発生している。そして、優先順位決定レジスタ1のビット(0)が‘1’を出力している。この時をクロック1とする。図4によると、優先順位は、INT5>INT6>INT7であることからINT5が選択される。INT5は、選択回路15から出力されると共に、選択回路15内部のフラグレジスタ50に‘1’をセットする。

【0071】次にクロック2となり、優先順位決定レジスタ1の‘1’出力がビット(1)にシフトし、次の割り込み要求信号が選択される時、優先順位はINT5>INT6>INT7のままであり、上下関係はクロック1の時と不変であるが、選択回路15内部では、図2に示すように、フラグレジスタ5の反転出力である‘0’出力がANDゲート7a~7gに inputs するため、入力端子B6、B7に inputs するINT7、INT6により、INT5が出力するのを1クロック間だけ抑止する。

【0072】また、選択回路10、11、12、13、14、16、17では、選択回路15内部のフラグレジスタ50から出力された‘1’出力により、各々の割り込み要求信号の出力がINT5で抑止されることを無効にする。この結果、INT5の優先順位は、図4の優先順位レベル9となる。

【0073】例えば、選択回路16においては、選択回路15内部のフラグレジスタ5の‘1’出力が、選択回路16の入力端子C1から内部のORゲート3aに inputs することから、INT6の出力がINT5で抑止されることが無効となる。そのため、次に優先順位が高いINT6が選択される。選択回路16は、INT6を出力すると共に、内部のフラグレジスタ5に‘1’をセットする。

【0074】次に、クロック3となり、優先順位決定レジスタ1の‘1’出力がビット(2)にシフトし、次の割り込み要求信号が選択される時、優先順位は、INT5>INT6>INT7のままである。選択回路15内部のフラグレジスタ5は、リセットされ‘0’を出力していることからINT5の抑止はなくなり、INT5が選択される。

【0075】なお、本発明のラウンドロビン回路を正常に動作させるために、各選択回路内部のフラグレジスタ5の‘1’出力は、1クロック間のみとする。

【0076】次に、本発明の第2の実施の形態について、図6~図11を参照して説明する。

【0077】図6は、本発明の第2の実施の形態のプロ

ック図であり、図1に示した実施の形態に対して、リセット回路2を設け、割り込み無効信号を直接に、およびリセット回路2を介して各選択回路10-1~17-1に返している点が異なる。

【0078】同一構成の選択回路10-1~17-1の詳細図を示す図7を図2と比較すると、図2におけるANDゲート7a~7gが除去されている代わりに、ANDゲート41と、インバータゲート61と、ORゲート80が設けられていることが分かる。

【0079】ANDゲート41は、フラグレジスタ50からの反転信号を inputs し、フラグレジスタ50が‘1’を出力する間、自らの割り込み要求信号が出力するのを抑止する。

【0080】ORゲート80は、入力端子B0から inputs する自らの割り込み要求信号の反転信号と、リセット回路2からのリセット信号を inputs し、自らの割り込み要求信号が‘0’出力の時またはリセット回路2が‘1’を出力する時、フラグレジスタ50をリセットする。

【0081】図8は、リセット回路2の内部を示すブロック図であり、割り込み要求信号INT0~INT7と1対1対応の否定排他的論理和ゲート90a~90hとANDゲート91とで構成される。

【0082】否定排他的論理和ゲート90aは、INT0と選択回路10-1からの割り込み無効信号(フラグレジスタ50からの信号)を inputs してANDゲート91へ出力し、否定排他的論理和ゲート90bは、INT1と選択回路11-1からの割り込み無効信号(フラグレジスタ50からの信号)を inputs してANDゲート91へ出力し、否定排他的論理和ゲート90cは、INT2と選択回路12-1からの割り込み無効信号(フラグレジスタ50からの信号)を inputs してANDゲート91へ出力し、否定排他的論理和ゲート90dは、INT3と選択回路13-1からの割り込み無効信号(フラグレジスタ50からの信号)を inputs してANDゲート91へ出力し、否定排他的論理和ゲート90eは、INT4と選択回路14-1からの割り込み無効信号(フラグレジスタ50からの信号)を inputs してANDゲート91へ出力し、否定排他的論理和ゲート90fは、INT5と選択回路15-1からの割り込み無効信号(フラグレジスタ50からの信号)を inputs してANDゲート91へ出力し、否定排他的論理和ゲート90gは、INT6と選択回路16-1からの割り込み無効信号(フラグレジスタ50からの信号)を inputs してANDゲート91へ出力し、否定排他的論理和ゲート90hは、INT7と選択回路17-1からの割り込み無効信号(フラグレジスタ50からの信号)を inputs してANDゲート91へ出力する。

【0083】ANDゲート91は、選択回路10-1~17-1内部の各フラグレジスタ50へリセット信号を出力する。

【0084】これにより、例えば、否定排他的論理和ゲート90aにおいては、割り込み要求信号INT0が‘0’を出力し、選択回路10-1からの割り込み無効信号（フラグレジスタ50の出力信号）が‘0’を出力する時、または、INT0が‘1’を出力し、選択回路10-1からの割り込み無効信号が‘1’を出力する（INT0の割り込み抑止状態）時は、否定排他的論理和ゲート90aは、‘1’を出力し、INT0が選択されていない状態であることが判る。なお、選択回路10-1からの割り込み無効信号が‘1’を出力する時もあるが、図4のインバータゲート61によりINT0が‘0’を出力した次のクロックでフラグレジスタ50がリセットされ‘0’出力となる。

【0085】そして、否定排他的論理和ゲート90a～90hのすべてが、‘1’を出力する時、INT0～INT7の何れもが選択されていない状態であるため、リセット信号‘1’が出力され、選択回路10-1～17-1内部のフラグレジスタ50すべてがリセットされ、割り込み抑止が解除される。

【0086】また、否定排他的論理和ゲート90a～90hにおいて、割り込み要求信号INTxが‘1’を出力し、選択回路xからの割り込み無効信号が‘0’を出力する否定排他的論理和ゲートが何れか一つでもあった場合は、リセット信号‘0’が出力されるため、選択回路内部で‘1’を出力しているフラグレジスタ50があれば、リセットされず、割り込み抑止状態のままとなる。

【0087】図9において、INT5、INT6、INT7が同時に連続して発生している。INT0～INT4は発生していないものとする。そして、クロック1において優先順位決定レジスタ1の0ビット目が‘1’を出力している。この場合、図4に示すところにより、優先順位は、INT5>INT6>INT7であることからINT5が選択される。INT5は、選択回路15-1から1クロック間‘1’出力されると共に、選択回路15-1内部のフラグレジスタ50に‘1’をセットする。

【0088】次に、クロック2となり、優先順位決定レジスタ1の‘1’出力がビット(1)にシフトし、次の割り込み要求信号が選択される時、図4に示すところにより、優先順位はINT5>INT6>INT7のままであるが、選択回路15-1内部ではフラグレジスタ50のインバータ61による反転出力である‘0’出力がANDゲート41に入力することから、ANDゲート40から‘1’を出力するINT5の出力が抑止される。

【0089】また、選択回路16-1、17-1では、選択回路15-1内部のフラグレジスタ50から出力された‘1’出力により、INT5が割り込み要求信号INT6、INT7を抑止することを無効にする。これは、INT5が、選択回路16-1では入力端子B1、選択

回路17-1では入力端子B2に‘1’入力してくるが、クロック2でセットされた選択回路15-1内部のフラグレジスタ50の‘1’出力が、選択回路16-1では入力端子C1、選択回路17-1では入力端子C2に入力するからである。この結果、クロック3のINT5の優先順位は、図4に示す優先順位レベル9となる。

【0090】例えば、選択回路16-1においては、選択回路15-1内部のフラグレジスタ50の‘1’出力が、選択回路16-1の入力端子C1から内部のORゲート3aに入力することから、入力端子B1からのINT5がINT6の出力を抑止することを無効とする。そのため、クロック3では、次に優先順位が高いINT6が選択される。選択回路16-1は、INT6を出力すると共に、内部のフラグレジスタ50に‘1’をセットする。

【0091】次に、クロック4となり、優先順位決定レジスタ1の‘1’出力がビット(2)にシフトし、次の割り込み要求信号が選択される時、優先順位は、INT5>INT6>INT7のままである。選択回路15-1内部のフラグレジスタ50は、セット状態のままで‘1’を出力していることからINT5が抑止され、さらに選択回路16-1内部のフラグレジスタ50も‘1’を出力していることからINT6が抑止されているため、INT7が選択される。選択回路17-1は、INT7を出力すると共に、内部のフラグレジスタ50に‘1’をセットする。

【0092】クロック5において、割り込み要求信号を‘1’出力するINT5、INT6、INT7の全てが自らのフラグレジスタ50の‘1’出力により抑止状態になると、選択回路15-1、16-1、17-1内部のANDゲート41により、INT5、INT6、INT7は、何れも出力されない状態（1クロック間）となる。さらに、選択回路15-1、16-1、17-1内部のリセット回路2の否定排他的論理和ゲート90a～90h全てが‘1’を出力するため、ANDゲート91からリセット信号‘1’が出力され、クロック5において選択回路15-1、16-1、17-1内部の各フラグレジスタ50はリセットされる。

【0093】クロック5では、選択回路15-1、16-1および17-1の状態はクロック1の時と同じ状態となり、ここからクロック8までは、上述のクロック1からクロック4までと同じ動作を繰り返す。ただし、クロック2～クロック4の間も優先順位決定レジスタ1ではラウンドロビンしているから、クロック5では、選択回路15-1、16-1、17-1の優先順位レベルは、図4によりそれぞれ2、3、4となっている。

【0094】図9は、INT5、INT6、INT7が連続でHレベル‘1’を入力し、INT5～INT7が均等に出力された動作を示すタイミングチャートであった。図10は、INT5～INT7それぞれが出力され

た後の次のクロックで、割り込み要求信号をLレベル‘0’とした時の動作を示すタイミングチャートである。この場合には、割り込み要求信号INT5とINT6がクロックごとに、Hレベル‘0’とLレベル‘0’を繰り返しているため、図2において、入力端子B0からの割り込み要求信号‘0’によって、インバータゲート61およびORゲート80を介してフラグレジスタ50がリセットされることになる。したがって、次のクロックで割り込み要求信号が許可されることになる。この結果、選択回路15-1または16-1の優先順位レベルが選択回路17-1の優先順位レベルより上であるクロック6まではINT5またはINT6が選択され、INT7が選択されることはない。

【0095】図11は、INT0～INT7がすべて連続でHレベル‘1’を入力した時の動作を示すタイミングチャートである。INT0～INT7がすべて抑止状態の時が1クロック間（「クロック10」の割り込み要求信号が何れも選択されない期間）あり、その期間における優先順位が一番高い割り込み要求信号（図11ではINT0）は選択されないが、このケースはINT0～INT7まで一巡するので、不均等とはならない。

【0096】

【発明の効果】以上に、説明したように、本発明によるラウンドロビン回路は、選択された割り込み要求信号の優先順位を最低位に設定することにより、同時に複数の割り込み要求信号が入力した場合であっても、優先順位の高い特定の割り込み要求信号が連続して選択され、優先順位の低い割り込み要求信号がいつまでも選択されないということを回避する効果がある。

【0097】また、本ラウンドロビン回路を制御する外部からの特別なインタフェースを必要としない。

【0098】さらに、本ラウンドロビン回路を構成する選択回路は、すべて同じ回路構成となっているので、選択する割り込み要求信号の信号数に関わらず容易に設計できる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態のブロック図

【図2】図1に示した実施の形態における選択回路のブロック図

【図3】図2、図7および図14に示した選択回路の入力端子接続を示す図

【図4】図1および図6に示した実施の形態における優

先順位決定レジスタ1のビット出力に対する割り込み要求信号の優先順位を示す図

【図5】図1に示した実施の形態のタイミングチャート

【図6】本発明の第2の実施の形態のブロック図

【図7】図6に示した実施の形態における選択回路のブロック図

【図8】図6に示した実施の形態におけるリセット回路のブロック図

【図9】図6に示した実施の形態の第1のタイミングチャート

【図10】図6に示した実施の形態の第2のタイミングチャート

【図11】図6に示した実施の形態の第3のタイミングチャート

【図12】従来の割り込み優先順位設定回路の一例を示すブロック図

【図13】従来のラウンドロビン回路の一例を示すブロック図

【図14】図11に示したラウンドロビン回路における選択回路のブロック図

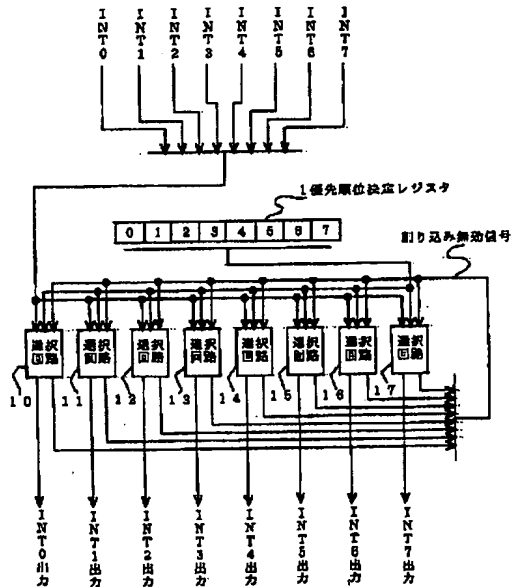
【図15】図13に示した従来のラウンドロビン回路の第1のタイミングチャート

【図16】図13に示した従来のラウンドロビン回路の第2のタイミングチャート

【符号の説明】

1, 51	優先順位決定レジスタ
2	リセット回路
4	ANDゲート
5	フラグレジスタ
10～17	選択回路
10-1～17-7	選択回路
10-2～17-2	選択回路
6, 2a～2g, 60, 61	インバータゲート
3a～3g, 80	ORゲート
21～25, 50	フラグレジスタ
31～35	優先順位設定レジスタ
40, 41, 7a～7g, 91	ANDゲート
41～45	スイッチ回路
61～65	一致比較回路
90a～90h	否定排他的論理和ゲート

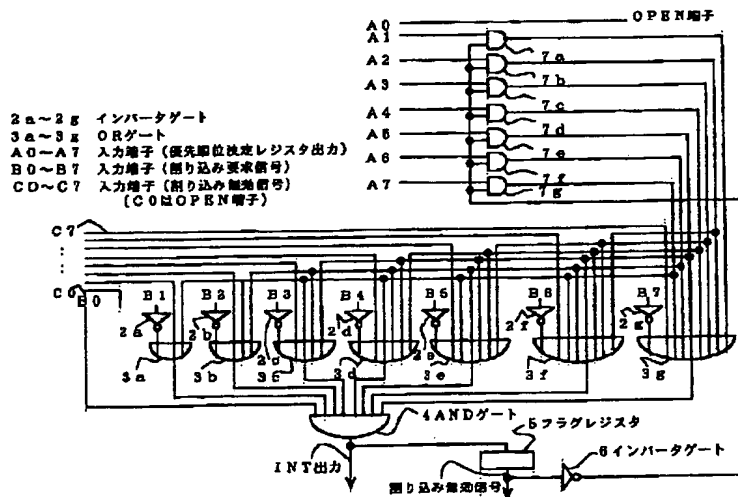
【図1】



【図4】

優先順位 レベル	優先順位レジスタビット							
	(0)	(1)	(2)	(3)	(4)	(5)	(6)	(7)
1	INT0	INT1	INT2	INT3	INT4	INT5	INT6	INT7
2	INT1	INT2	INT3	INT4	INT5	INT6	INT7	INT0
3	INT2	INT3	INT4	INT5	INT6	INT7	INT0	INT1
4	INT3	INT4	INT5	INT6	INT7	INT0	INT1	INT2
5	INT4	INT5	INT6	INT7	INT0	INT1	INT2	INT3
6	INT5	INT6	INT7	INT0	INT1	INT2	INT3	INT4
7	INT6	INT7	INT0	INT1	INT2	INT3	INT4	INT5
8	INT7	INT0	INT1	INT2	INT3	INT4	INT5	INT6
9	選択された後の1クロック間の割り込み要求信号							

【図2】



【図3】

選択回路		入力端子A							
		A0	A1	A2	A3	A4	A5	A6	A7
10	(1)	(2)	(3)	(4)	(5)	(6)	(7)	(0)	(1)
11	(2)	(3)	(4)	(5)	(6)	(7)	(0)	(1)	(2)
12	(3)	(4)	(5)	(6)	(7)	(0)	(1)	(2)	(3)
13	(4)	(5)	(6)	(7)	(0)	(1)	(2)	(3)	(4)
14	(5)	(6)	(7)	(0)	(1)	(2)	(3)	(4)	(5)
15	(6)	(7)	(0)	(1)	(2)	(3)	(4)	(5)	(6)
16	(7)	(0)	(1)	(2)	(3)	(4)	(5)	(6)	(7)
17	(0)	(1)	(2)	(3)	(4)	(5)	(6)	(7)	(0)

選択回路		入力端子B							
		B0	B1	B2	B3	B4	B5	B6	B7
10	DNT0	DNT7	DNT6	DNT5	DNT4	DNT3	DNT2	DNT1	
11	DNT1	DNT0	DNT7	DNT6	DNT5	DNT4	DNT3	DNT2	
12	DNT2	DNT1	DNT0	DNT7	DNT6	DNT5	DNT4	DNT3	
13	DNT3	DNT2	DNT1	DNT0	DNT7	DNT6	DNT5	DNT4	
14	DNT4	DNT3	DNT2	DNT1	DNT0	DNT7	DNT6	DNT5	
15	DNT5	DNT4	DNT3	DNT2	DNT1	DNT0	DNT7	DNT6	
16	DNT6	DNT5	DNT4	DNT3	DNT2	DNT1	DNT0	DNT7	
17	DNT7	DNT6	DNT5	DNT4	DNT3	DNT2	DNT1	DNT0	

選択回路		入力端子C							
		C0	C1	C2	C3	C4	C5	C6	C7
10	(0)	(1)	(2)	(3)	(4)	(5)	(6)	(7)	(0)
11	(1)	(2)	(3)	(4)	(5)	(6)	(7)	(0)	(1)
12	(2)	(3)	(4)	(5)	(6)	(7)	(0)	(1)	(2)
13	(3)	(4)	(5)	(6)	(7)	(0)	(1)	(2)	(3)
14	(4)	(5)	(6)	(7)	(0)	(1)	(2)	(3)	(4)
15	(5)	(6)	(7)	(0)	(1)	(2)	(3)	(4)	(5)
16	(6)	(7)	(0)	(1)	(2)	(3)	(4)	(5)	(6)
17	(7)	(0)	(1)	(2)	(3)	(4)	(5)	(6)	(7)

①(0) ②(7) は優先順位決定レジスタのビット同様に示す

③④は選択回路17の内部のフラグレジスタからの取り込み値を示す

【図5】

クロック信号

優先順位決定レジスタ0  
優先順位決定レジスタ1  
優先順位決定レジスタ2  
優先順位決定レジスタ3  
優先順位決定レジスタ4  
優先順位決定レジスタ5  
優先順位決定レジスタ6  
優先順位決定レジスタ7

INT5  
INT6  
INT7

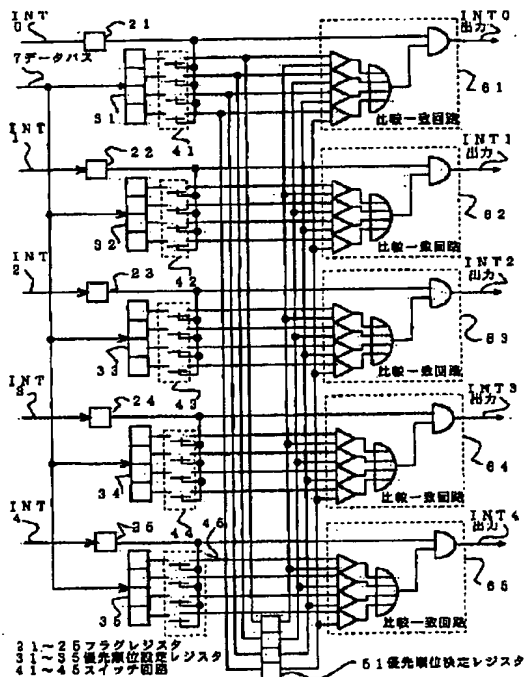
選択回路15/フラグレジスタ6出力  
選択回路16/フラグレジスタ6出力

選択回路17/フラグレジスタ6出力  
選択回路15/INT5出力

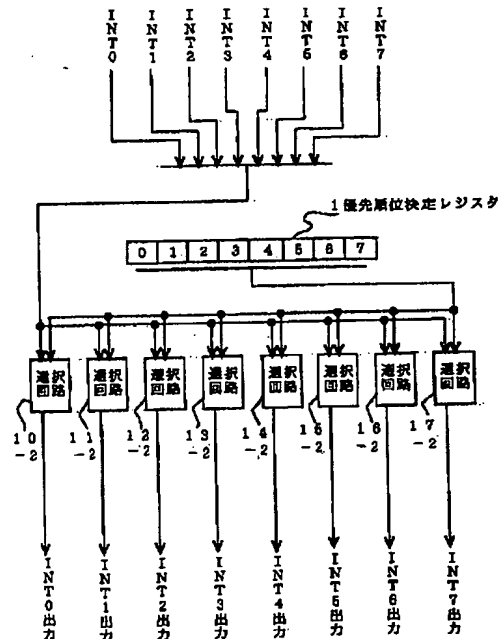
選択回路16/INT6出力  
選択回路17/INT7出力

①～⑧は図4に示す取り込み要求信号の優先順位レベル1～8を表す。

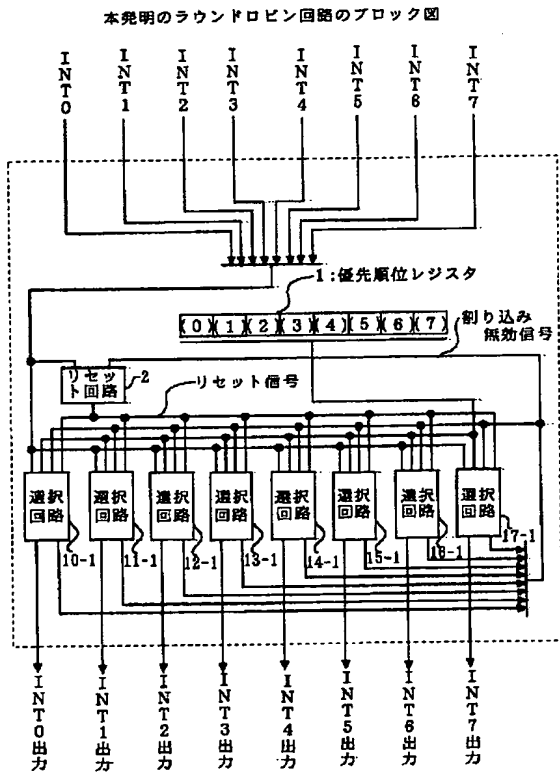
【図12】



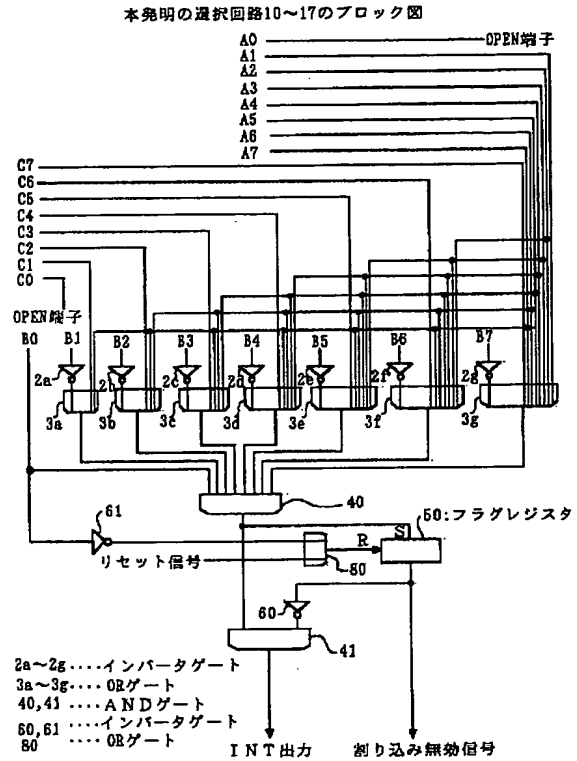
【図13】



【図6】

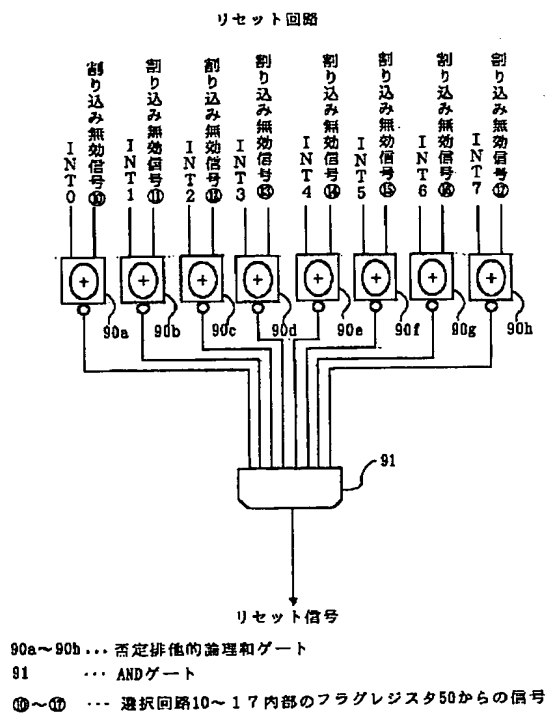


【図7】



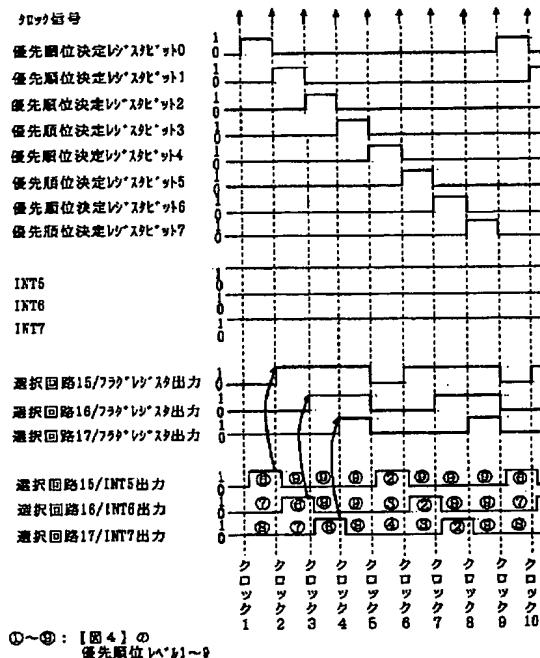


【図8】

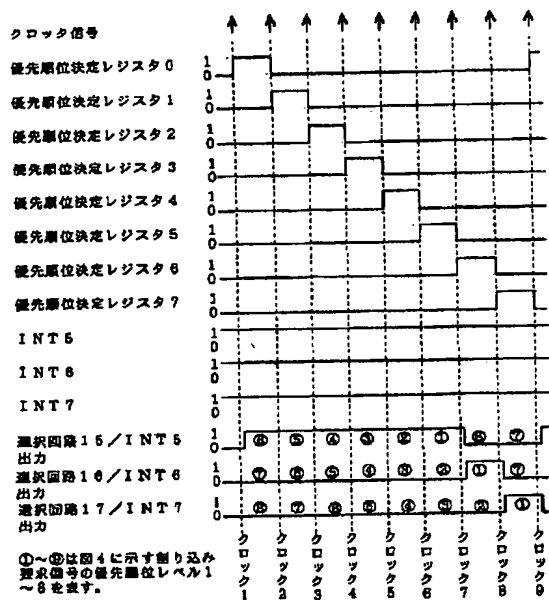


【図9】

本発明のラウンドロビン回路動作のタイミングチャート1



【図16】



【图 1-1】

本発明のラウンドロビン回路の動作のタイミングチャート3

